

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

10617485 A2
11/24/03



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

①2 **Offenlegungsschrift**
①0 **DE 101 49 593 A 1**

⑤1 Int. Cl. 7: (2)
H 03 L 7/197
H 03 M 3/02

②1 Aktenzeichen: 101 49 593.5
②2 Anmeldetag: 8. 10. 2001
④3 Offenlegungstag: 20. 6. 2002 ✓

DE 101 49 593 A 1

③0 Unionspriorität:
0059408 10. 10. 2000 KR
⑦1 Anmelder:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR
⑦4 Vertreter:
Kuhnen & Wacker Patentanwaltsgesellschaft mbH,
85354 Freising

⑦2 Erfinder:
Lee, Sang-oh, Seocho, Seoul, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Einzelbit-sigma-delta-modulierter Bruch-N-Frequenz-Synthesizer

⑤7 Ein Bruch-N-Frequenzsynthesizer enthält einen spannungsgesteuerten Oszillator, einen Dual-Modulus-Teiler, der eine Ausgangsfrequenz des spannungsgesteuerten Oszillators gemäß einer Bruch-Steuereingangsgroße teilt, und einen Phasenkomparator, der eine Phase einer Ausgangsgroße des Dual-Modulus-Teilers mit einer Phase einer Bezugsfrequenz vergleicht, wobei eine Ausgangsgroße des Phasenkomparators einen Eingang des spannungsgesteuerten Oszillators steuert. Der Synthesizer enthält ferner einen Sigma-Delta-Modulator, der einen Einzelbit-Ausgang besitzt, und einen Bitkonverter, der die Einzelbit-Ausgangsgroße des Sigma-Delta-Modulators in die Bruch-Steuereingangsgroße umsetzt, die an den Dual-Modulus-Teiler angelegt wird.

DE 101 49 593 A 1

HINTERGRUND DER ERFINDUNG

1. Gebiet der Erfindung.

[0001] Die vorliegende Erfindung betrifft allgemein Frequenzsynthesizer und Modulatorschaltungen, die in den Frequenzsynthesizern verwendet werden, und spezieller betrifft die vorliegende Erfindung sigma-delta-modulierte Bruch-N-Frequenzsynthesizer.

[0002] Die vorliegende Anmeldung ist ein Duplikat von und beansprucht die Priorität der koreanischen Anmeldung Nr. P2000-009408, eingereicht am 10. Oktober 2000, deren gesamter Inhalt hier unter Bezugnahme mit einbezogen wird.

2. Hintergrund der Erfindung

[0003] Es gibt einen wachsenden Bedarf nach einer Vielfalt von Realzeit-Multimedia-Drahtlos-Diensten, wie beispielsweise Realzeitvideo, Internetzugang usw. Diese erfordern Hochgeschwindigkeitsverbindungen mit den drahtlosen oder mobilen Kommunikationsanschlüssen. Dieser Trend nach höheren Übertragungsgeschwindigkeiten wird durch den Standard CDMA-2000 1X (2.5 G) widerspiegelt, der in solcher Weise konfiguriert ist, daß ein 144-kbps Datenservice auf den bestehenden CDMA/PCS-Bändern verfügbar ist. Drahtlose Kommunikationsanschlüsse verwenden allgemein Hochfrequenz-(HF)-Frequenzsynthesizer, um eine programmierbare Kanalauswahl zu erreichen. Damit der HF-Frequenzsynthesizer beispielsweise in einer Hochgeschwindigkeitsumgebung arbeitet, die durch den CDMA-2000 1X Standard vorgegeben wird, sollte der HF-Frequenzsynthesizer in bevorzugter Weise eine Beruhigungszeit von weniger als 500 µs, eine Frequenzauflösung von 10 kHz und eine Phasenstörgröße von weniger als 135 dBc/Hz bei etwa 1 MHz Offset-Frequenz zeitigen. Wie noch weiter unten erläutert wird, sind herkömmliche HF-Frequenzsynthesizer nicht in idealer Weise dafür geeignet, um diese bevorzugten Eigenschaften zu erfüllen, die mit dem CDMA-2000 1X Standard verbunden sind.

[0004] Die Fig. 7-10 veranschaulichen einen sigma-delta-gesteuerten oder geregelten Bruch-N-Frequenzsynthesizer wie er in Norman M. Filiol et al., "An Agile ISM Band Frequency Synthesizer with Built-In GMSK Data Modulation", IEEE JSSC, Band 33, S. 998-1008, Juli 1998, beschrieben ist, dessen Inhalt hier unter Bezugnahme voll mit einbezogen wird. Die Sigma-Delta-Modulation von Bruch-N-Frequenzsynthesizern ist auch in [1] Philip S. Gaskell et al., US-Patent Nr. 5,079,521, ausgegeben am 7. Januar 1992, beschrieben; [2] Thomas A. D. Riley et al., US-Patent Nr. 5,781,044, ausgegeben am 14. Juli 1998, beschrieben; [3] Thomas A. D. Riley et al., US-Patent Nr. 4,965,531, beschrieben; [4] Brian Miller et al., "A Multiple Modulator Fractional Divider", IEEE Trans. Instrument and Measurement, Band 40, Nr. 3, S. 578-583, Juni 1991, beschrieben, [5] Terrance P. Kenny et al., "Design and Realization of a Digital Delta Sigma Modulator for Fractional-n Frequency Synthesis", IEEE Trans. Vehicular Tech., Band 48, Nr. 2, S. 510-521, März 1999, beschrieben; und [6] Woogeun Rhee et al., "A 1,1 GHz CMOS Fractional-N Frequency Synthesizer with a 3b 3rd-Order Delta Sigma Modulator", ISSCC 2000, S. 198-199, 2000, beschrieben. Der gesamte Inhalt dieser Dokumente wird hier unter Bezugnahme mit einbezogen.

[0005] Gemäß Fig. 7 wird eine Zielfrequenz f_{target} dem Eingang des Sigma-Delta-Modulators 702 in Form eines di-

gitalen Wortes eingespeist. Ein modulierter Ausgangsbitstrom $b(t)$ wird an den Dual-Modulus-Teiler 704 angelegt und steuert den Betrieb desselben, der in dem Rückkopplungskreis einer phasenstarren Schleife (PLL) enthalten ist.

Die PLL enthält einen Teiler 704, einen Phasendetektor 706, ein Schleifenfilter 708 und einen spannungsgesteuerten Oszillator (VCO) 710. Der Mittelwert von $b(t)$ entspricht dem Teilungsverhältnis, welches erforderlich ist, um die gewünschte Ausgangsfrequenz f_{out} auszugeben. Der Dual-Modulus-Teiler 704 gibt ein Phasensteuersignal f_d aus, welches gleich ist N oder $N+1$ (abhängig von $b(t)$) geteilt durch die Ausgangsfrequenz f_{out} . Das Phasensteuersignal f_d wird an den Phasendetektor 706 angelegt, der das Phasensteuersignal f_d mit einem Eingangsbezugssignal f_{ref} vergleicht.

Das am Ausgang des Phasendetektors 706 gelieferte Signal ist proportional zur Phasendifferenz zwischen dem Bezugssignal f_{ref} und dem Phasensteuersignal f_d . Dieses Signal wird durch das (Tiefpaß-)Schleifenfilter 708 gefiltert, was zu einer normalen Gleichspannung führt, und wird angelegt, um den VCO 701 zu steuern, der die Ausgangsfrequenz f_{out} erzeugt.

Fig. 8 zeigt ein funktionelles Blockschaltbild des Dual-Modulus-Teilers 704, der in Fig. 7 veranschaulicht ist. Die Eingangsgröße $b(t)$ in den Teiler besteht aus einer Einzelbit-Steuergröße, die es ermöglicht 0 oder 2 rad der Phase (0 oder 1 Periode des VCO 710) jeden Bezugszyklus von dem Ausgangssignal f_{out} zu subtrahieren. Die Subtraktion wird gefolgt durch eine feststehende Teilung durch N , wie dies gezeigt ist, was dann zu dem Phasensteuersignal f_d führt.

Die Sigma-Delta-Modulatoren erreichen eine hohe Auflösung von einem Einzelbit-Quantisierer durch die Verwendung einer Störsignalformung und Anwendung von Oversampling-Techniken. Modulatoren höherer Ordnung besitzen weniger Grenzyklustöne und höherer Inband-Signal-zu-Störsignal-Verhältnisse. Wenn Sigma-Delta-Modulatoren höherer Ordnung konstruiert werden, wird die Stabilität in Betracht gezogen, und zwar entsprechend einer Rückkopplung höherer Ordnung entlang der Schleife. Eine Alternative hinsichtlich dieser Lösung besteht darin, eine MASH-Architektur zu verwenden. Ein MASH-Architektur-Sigma-Delta-Modulator ist in Fig. 9 gezeigt. In diesem Fall besteht der Modulator aus einer Kaskadenschaltung von Sigma-Delta-Modulatoren erster Ordnung. Der Quantisierungsfehler jeder Stufe wird zur nächsten Stufe vorwärts gefördert bzw. übertragen, deren Ausgangsbitstrom aus einem sigma-delta-quantisierten Schätzwert des Fehlers von der vorhergehenden Stufe besteht. Die Ausgangsgrößen werden dann in einem Störsignalformungsblock kombiniert, der die Störsignale aus den ersten $n-1$ Stufen beseitigt, wobei eine Vielfachbit-Ausgangsgröße erzeugt wird, die eine Störsignalformung n -ter Ordnung besitzt, die wie folgt gegeben ist:

$$N(z) = (1-z^1)^n.$$

Hierbei bezeichnet n die Größenordnung oder Zahl der Stufen. Fig. 10 veranschaulicht das Frequenzspektrum eines ($n = 4$) MASH-Modulators vierter Ordnung.

Ein Vorteil dieser Modulatorarchitektur liegt in dessen Stabilität, da keine Rückkopplung n -ter Ordnung vorhanden ist und die Stufen der ersten Ordnung stabil sind. Ein primärer Nachteil liegt jedoch in deren Vielfachbit-Ausgangsgröße, was einen Multi-Modulus-Teiler in der Rückkopplung der Synthesizer-PLL erforderlich macht.

Darüber hinaus ist die Performance der an früherer Stelle vorgeschlagenen Bruch-N-Frequenzsynthesizer allgemein nicht zufriedenstellend, und zwar in bezug auf die au-

ßerhalb des Bandes liegenden Phasenstörsignale um 1 MHz Offset herum, oder hinsichtlich der Erzielung einer exakten Frequenzauflösung von 10 kHz. Ferner zeitigt der Synthesizer große Störgrößen von -40 dBc unter spezifischen oder speziellen Betriebsbedingungen, was die tatsächliche Verwendung blockiert. Dies läßt sich darauf zurückführen, daß die Nichtlinearität eines PFD oder eines Multi-Modulus-Teilers in einer tatsächlichen PLL auftritt, und nicht in Einklang steht mit der hohen Linearität der PLL, die bei Verwendung eines Multi-Bit-Modulators und eines Modulators vom MASH-Typ gefordert wird. Ferner leiden die herkömmlichen oder früheren Synthesizer an großen und ausgeprägten Störgrößen bei einem bestimmten Betriebszustand, die sich aus der Nichtlinearität in dem Phasen-Frequenz-Detektor und dem Multi-Modulus-Teiler ergeben, wenn die Multi-Bit-Modulatoren und die Modulatoren vom MASH-Typ als ein Bruchteiler-Kontroller in der PLL verwendet werden. Wenigstens aus diesen Gründen sind die herkömmlichen HF-Frequenzsynthesizer nicht ideal dafür geeignet, diese bevorzugten Eigenschaften und Kennlinien zu erfüllen, die sich aus dem CDMA-2000 1X Standard ergeben.

ZUSAMMENFASSUNG DER ERFINDUNG

[0012] Eine Aufgabe der vorliegenden Erfindung besteht darin, einen Frequenzsynthesizer und einen Sigma-Delta-Modulator für diesen zu schaffen, der eine feine Frequenzauflösung und eine schnelle Beruhigungszeit oder kurze Zugriffszeit ermöglicht und der die Phasenstörgrößen reduzieren kann und Bezugsstörgrößen unterdrücken kann.

[0013] Ein anderes Ziel der vorliegenden Erfindung besteht darin, einen Frequenzsynthesizer und einen Sigma-Delta-Modulator für diesen zu schaffen, der eine exakte Frequenzauflösung von 10 kHz ermöglicht und dabei eine schnelle Beruhigungszeit bzw. Zugriffszeit beibehält, ebenso eine reduzierte Phasenstörgröße besitzt und Bezugsstörgrößen unterdrücken kann.

[0014] Ein noch anderes Ziel der vorliegenden Erfindung besteht darin, einen Frequenzsynthesizer und einen Sigma-Delta-Modulator für denselben zu schaffen, der bzw. die die Performance-Spezifikationen von CDMA-2000 1X erfüllt und noch überschreitet.

[0015] Gemäß einem Aspekt der Erfindung enthält ein Bruch-N-Frequenzsynthesizer einen spannungsgesteuerten Oszillator, einen Dual-Modulus-Teiler, der die Ausgangsfrequenz des spannungsgesteuerten Oszillators teilt, und zwar in Einklang mit einer Bruch-Steuer-Eingangsgröße, und einen Phasenkomparator enthält, der eine Phase einer Ausgangsgröße des Dual-Modulus-Teilers mit einer Phase einer Bezugsfrequenz vergleicht, wobei eine Ausgangsgröße des Phasenvergleichers eine Eingangsgröße des spannungsgesteuerten Oszillators steuert. Der Synthesizer enthält ferner einen Sigma-Delta-Modulator, der eine Einzelbit-Ausgangsgröße liefert, und enthält einen Bitkonverter, der die Einzelbit-Ausgangsgröße des Sigma-Delta-Modulators in die Bruch-Steuer-Eingangsgröße umsetzt, die an den Dual-Modulus-Teiler angelegt wird.

[0016] Gemäß einem anderen Aspekt der vorliegenden Erfindung enthält ein Bruch-N-Frequenzsynthesizer einen spannungsgesteuerten Oszillator, einen Dual-Modulus-Teiler, der eine Ausgangsfrequenz des spannungsgesteuerten Oszillators in Einklang mit einer Bruch-Steuer-Eingangsgröße teilt, enthält einen Phasenkomparator, der eine Phase einer Ausgangsgröße des Dual-Modulus-Teilers mit einer Phase einer Bezugsfrequenz vergleicht, wobei eine Ausgangsgröße des Phasenkomparators an einen Steuereingang des spannungsgesteuerten Oszillators gekoppelt ist und wo-

bei ein Sigma-Delta-Modulator verwendet wird, der einen Einzelbit-Ausgang besitzt. Der Sigma-Delta-Modulator enthält eine Kaskaden-Akkumulatorschaltung, die n Akkumulatorstufen enthält, wobei n eine ganze Zahl von wenigstens 2 bedeutet, und enthält eine Quantisierschaltung, die eine Ausgangsgröße der Kaskaden-Akkumulatorschaltung quantisiert, um die Einzelbit-Ausgangsgröße zu erzeugen. Die Ausgangsgröße des Quantisierers wird zurück zu jeder der n Akkumulatorstufen geführt und es wird eine Störsignalübertragungsfunktion des Sigma-Delta-Modulators vorgenommen, wobei die Übertragungsfunktion $H(z)$ wie folgt lautet:

$$H(z) = (1 - Z^{-1})^n / (1 + p_1 Z^{-1} + p_2 Z^{-2} \dots + p_n Z^{-n})$$

und wobei $p_1 \dots p_n$ Realzahlkoeffizienten bedeuten.

[0017] Gemäß einem noch anderen Aspekt der vorliegenden Erfindung enthält ein Bruch-N-Frequenzsynthesizer einen spannungsgesteuerten Oszillator, einen Dual-Modulus-Teiler, der eine Ausgangsfrequenz des spannungsgesteuerten Oszillators entsprechend einer Bruch-Steuereingangsgröße teilt, enthält einen Phasenkomparator, der eine Phase einer Ausgangsgröße des Dual-Modulus-Teilers mit einer Phase einer Bezugsfrequenz vergleicht, wobei eine Ausgangsgröße des Phasenkomparators an einen Steuereingang des spannungsgesteuerten Oszillators gekoppelt wird, und enthält einen Sigma-Delta-Modulator, der eine Einzelbit-Ausgangsgröße liefert. Der Sigma-Delta-Modulator enthält eine in Kaskade geschaltete Akkumulatorschaltung, die n Akkumulatorstufen enthält, wobei n eine ganze Zahl von wenigstens 2 ist. Jede der n Akkumulatorstufen enthält eine Koeffizientengeneratorschaltung, die selektiv einen Koeffizienten b_n ausgibt, enthält eine Addierstufe mit einem ersten Eingang, der mit einem Eingang oder mit einem Ausgang einer früheren Akkumulatorstufe verbunden ist, und einen zweiten Eingang besitzt, der den Koeffizientenwert b_n von der Koeffizientengeneratorschaltung empfängt, und besitzt einen Akkumulator, der eine Ausgangsgröße des Addierers empfängt. Der Sigma-Delta-Modulator enthält ferner eine Quantisierschaltung, die eine Ausgangsgröße von wenigstens einer der n Akkumulatorstufen quantisiert, um einen Einzelbit-Ausgang zu erzeugen, wobei die Ausgangsgröße des Quantisierers zurückgekoppelt wird, um die Koeffizientengeneratorschaltung von jeder der n Akkumulatorstufen zu steuern.

[0018] Gemäß einem noch anderen Aspekt der vorliegenden Erfindung enthält ein Sigma-Delta-Modulator eine Kaskaden-Akkumulatorschaltung, die n Akkumulatorstufen enthält, wobei n eine ganze Zahl von wenigstens 2 ist, und eine Quantisierschaltung enthält, die eine Ausgangsgröße der Kaskaden-Akkumulatorschaltung quantisiert. Ein Ausgang des Quantisierers wird zu jeder der n Akkumulatorstufen zurückgekoppelt und es wird eine Störsignalübertragungsfunktion des Sigma-Delta-Modulators vorgenommen, entsprechend $H(z)$, wobei

$$H(z) = (1 - Z^{-1})^n / (1 + p_1 Z^{-1} + p_2 Z^{-2} \dots + p_n Z^{-n})$$

und worin $p_1 \dots p_n$ reale Zahlenkoeffizienten sind.

[0019] Gemäß einem anderen Aspekt der vorliegenden Erfindung enthält ein Sigma-Delta-Modulator eine in Kaskade geschaltete Akkumulatorschaltung, die n Akkumulatorstufen enthält, wobei n eine ganze Zahl von wenigstens 2 ist. Jede der n Akkumulatorstufen enthält eine Koeffizientengeneratorschaltung, die selektiv einen Koeffizienten b_n ausgibt, enthält eine Addierstufe mit einem ersten Eingang, der mit einem Eingang oder mit einem Ausgang einer früheren Akkumulatorstufe verbunden ist, und mit einem zweiten Eingang, der den Koeffizientenwert b_n von der Koeffizien-

tengeneratorschaltung empfängt, und enthält einen Akkumulator, der eine Ausgangsgröße von der Addierstufe empfängt. Der Sigma-Delta-Modulator enthält auch eine Quantisiererschaltung, die eine Ausgangsgröße von wenigstens einer der n Akkumulatorstufen quantisiert, wobei die Ausgangsgröße des Quantisierers aus einem Einzelbit-Ausgang besteht, und wobei die Ausgangsgröße des Quantisierers rückgekoppelt wird, um die Koeffizientengeneratorschaltung von jeder der n Akkumulatorstufen zu steuern.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0020] Die oben angegebenen und weitere Ziele und Vorteile der vorliegenden Erfindung ergeben sich aus der folgenden detaillierten Beschreibung unter Hinweis auf die beigefügten Zeichnungen, in denen zeigen:

[0021] Fig. 1 die Architektur eines Bruch-N-Frequenzsynthesizers gemäß einer Ausführungsform der vorliegenden Erfindung;

[0022] Fig. 2 ein Funktionsblockschaltbild eines Einzelbit-Sigma-Delta-Modulators vierter Ordnung gemäß einer Ausführungsform der vorliegenden Erfindung;

[0023] Fig. 3 ein Funktionsblockschaltbild eines Einzelbit-Sigma-Delta-Modulators vierter Ordnung gemäß einer anderen Ausführungsform der vorliegenden Erfindung;

[0024] Fig. 4 einen Graphen eines Meßsignal-zu-Störsignal-Verhältnisses des Sigma-Delta-Modulators;

[0025] Fig. 5 einen Graphen eines gemessenen Ausgangsspektrums eines spannungsgesteuerten Oszillators;

[0026] Fig. 6 einen Graphen einer gemessenen Einzel-Seitenband-Phasenstörgröße;

[0027] Fig. 7 einen herkömmlichen Frequenzsynthesizer mit einem Dual-Modulus-Teiler, der durch einen Sigma-Delta-Modulator gesteuert wird;

[0028] Fig. 8 ein Funktionsblockschaltbild des Dual-Modulus-Teilers von Fig. 7;

[0029] Fig. 9 einen herkömmlichen MASH-Sigma-Delta-Modulator; und

[0030] Fig. 10 das Frequenzspektrum eines MASH-Modulators (n = 4) vierter Ordnung.

DETAILIERTE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0031] Ein veranschaulichendes Architekturdiagramm eines Bruch-N-Frequenzsynthesizers einer Ausführungsform der vorliegenden Erfindung ist in Fig. 1 gezeigt. Der Synthesizer enthält einen Dual-Modulus-Prescaler 102, einen programmierbaren Hauptzähler 106, einen programmierbaren Swallow-Zähler 104, eine Modulus-Steuerschaltung 108, einen Bezugsteiler 110, einen Phasen-/Frequenzdetektor (PFD) 112, eine Ladepumpe 114, einen Bitkonverter 116 und einen digitalen Sigma-Delta-Modulator 118. Hierbei wird anstelle eines Multi-Modulus-Teilers der Dual-Modulus-Teiler (Prescaler 102) verwendet, um den Einfluß der Nichtlinearität zu minimieren, die in der PLL auftritt, und um die Implementierung bei niedriger oder geringer Energie zu vereinfachen. Der Synthesizer ist effektiv als eine Kombination eines Dual-Modulus-Impuls-Swallow-Frequenzsynthesizers konfiguriert, der weit verbreitet in einer Ganzzahl-N-PLL verwendet wird und auch in dem digitalen Sigma-Delta-Modulator 118 und dem Bitkonverter 116. Allgemein liegt im Betrieb das Teilungsverhältnis bei $p + 1$ bei $A/(1/f_{ref})$ der Bezugsperiode, und das Teilungsverhältnis beträgt p bei $(B-A)/(1/f_{ref})$ der Bezugsperiode. Als solches läßt sich die Beziehung in der folgenden Weise ausdrücken, die allgemein zwischen f_{vco} und f_{ref} gilt:

$$f_{vco} = (Bp + A)f_{ref}$$

worin B, p und A den Wert des Hauptzählers 106, den Modulus des Prescalers 102 und den Wert des Swallow-Zählers 104 jeweils angeben.

[0032] Um nun auf Fig. 2 einzugehen, so funktioniert der digitale Sigma-Delta-Modulator 118 als ein Bruch-Teilungskontroller und ist bei dieser Ausführungsform als Einzelbit-Sigma-Delta-Modulator vierter Ordnung (n = 4) ausgeführt, und zwar mit einer MSB-(höchstwertigem Bit)-Rückkopplung. Es sei darauf hingewiesen, daß die Größenordnung n (das heißt die Zahl der Stufen) abhängig von der Verwendung vermindert oder erhöht werden kann.

[0033] Um mehr in Einzelheiten zu gehen, so besteht der digitale Sigma-Delta-Modulator 118 aus einer Quantisiererschaltung 220 und einer in Kaskade geschalteten Akkumulatorschaltung, die einen Überlaufdetektor (OFD) 218 und vier (4) Akkumulatorstufen 202, 204, 206 und 208 enthält. Jede der Akkumulatorstufen besteht aus einer Koeffizientengeneratorschaltung 212, die selektiv einen Koeffizienten b_n ausgibt, aus einer Addierstufe 214 mit einem ersten Eingang, der mit einem Eingang oder mit einem Ausgang einer vorhergehenden oder früheren Akkumulatorstufe verbunden ist, und mit einem zweiten Eingang, der den Koeffizientenwert b_n von der Koeffizientengeneratorschaltung empfängt, und aus einem Akkumulator 216, der eine Ausgangsgröße von der Addierstufe 214 empfängt. Zusätzlich können a_n Koeffizientenschaltungen ebenfalls in der gezeigten Weise vorgesehen sein.

[0034] Der Überlaufdetektor 218 arbeitet, wenn die Größe der Modulatoreingangssgröße k/b 1 ausgeprägt 0,5 überschreitet, in welchem Fall alle Akkumulatoren auf 0 zurückgestellt werden.

[0035] Der Quantisierer 220 quantisiert die Ausgangsgröße der letzten Stufe 208, wobei die Störsignalübertragungsfunktion des Sigma-Delta-Modulators 118 zu $H(z)$ wird, und zwar

$$H(z) = (1 - Z^{-1})^n / (1 + p_1 Z^{-1} + p_2 Z^{-2} \dots + p_n Z^{-n})$$

und wobei $p_1 \dots p_n$ Realzahlkoeffizienten bedeuten.

[0036] Um erneut auf Fig. 1 einzugehen, so ist der Modulator 118 gemäß der vorliegenden Ausführungsform mit der Dual-Modulus-Teilerschaltungsanordnung über einen einfachen Bitkonverter 116 verbunden. Der Bitkonverter setzt die Ausgangsgrößen 0 und 1 des Modulators 118 in 1 und -1 jeweils um und liefert die Ergebnisse zu den programmierten Eingangsanschlüssen der Zähler 104 und 106. Der Dual-Modulus-Teiler summiert die Ergebnisse auf, die durch den Bitkonverter geliefert werden und teilt die Prescaler-Ausgangsgröße durch den summierten Wert, wobei eine Impuls-Swallow-Funktion durchgeführt wird.

[0037] Wenn ein Bruch-N-Frequenzsynthesizer gemäß der vorliegenden Erfindung eine Schleife realisiert und sich in einem blockierten Zustand befindet, so gibt der VCO ein stabiles N_f -faches der Vergleichsfrequenz aus, wobei $N = Bp + A$ und $f = k/b1$ und wobei B, p und A den Wert des Hauptzählers 106 bzw. des Modulus des Prescalers 102 bzw. den Wert des Swallow-Zählers 104 bezeichnen. B und A sind ganze Zahlen und können extern programmiert werden. " $k/b1$ " stellt einen funktionellen Ausdruck dar und der Nenner b1 ist in der Hardware realisiert bzw. eingestellt. Die Frequenzauflösung kann in einfacher Weise durch Einstellen des Nenners b1 eingestellt werden und der Bruchwert der Vergleichsfrequenz f_r kann dadurch eingestellt werden, indem "k" eingestellt wird, was extern programmiert werden kann.

[0038] Die Ausgangsgröße des Einzelbit-Modulators, die

den Dual-Modulus-Teiler steuert, ist nützlich dafür, um das Nichtlinearitätsproblem, welches weiter oben beschrieben wurde, zu vermeiden. Allgemein führt ein Sigma-Delta-Modulator Quantisierungsstörsignale ein, die während der Digitalisierung auf hohe Frequenz auftreten. Als ein Ergebnis wird die Niederfrequenz-Störsignalentwicklung im wesentlichen reduziert und es wird im selben Maße die Hochfrequenz-Störsignalentwicklung erhöht, und zwar verglichen mit dem Fall ohne Störsignalformung. Hochfrequenzstörsignale können einfach dadurch beseitigt werden, indem man eine Tiefpaßfilterung danach durchführt. Demzufolge wird ein Signal-Störsignalabstand (S/N) erhöht. Da die Teiler-Störsignale Tiefpaßeigenschaften in der PLL haben, werden die geformten Hochfrequenzstörsignale, die in dem Sigma-Delta-Modulator auftreten, spontan aus der PLL entfernt. Als ein Ergebnis kann ein Bruchwert mit einem hohen S/N (Störsignalabstand) erhalten werden, wenn eine Langzeitmittelung genommen wird. Der Bruchwert, das heißt ein effektives Teilungsverhältnis, f wurde an früherer Stelle beschrieben und ist gegeben als

$$f = k/b1 \text{ für } -b1/2 \leq k \leq b1/2.$$

[0039] Wenn beispielsweise $b1 = 62976$ ist, ergibt sich $f = k/62976$ für $-31488 \leq k \leq 31488$. Hierbei ist $k/b1$ auf 0,5 für einen stabilen Betrieb eingeschränkt. Wie oben beschrieben wurde, ist die Rückkopplungskonstante $b1$ als eine nichtvariable Zahl gegeben und dies kann durch einen einfachen Multiplexer implementiert werden. Im Gegensatz dazu erfordert ein MASH-Modulator eine komplexe Hardware, wenn der Nenner $p1$ nicht das Vielfache von 2 beträgt. Demzufolge besitzt die vorliegende Erfindung den Vorteil dahingehend, daß eine geringere Hardware erforderlich ist, wenn der Nenner $b1$ nicht ein Vielfaches von 2 beträgt, und zwar verglichen mit den herkömmlichen Techniken.

[0040] Um die Vorteile der vorliegenden Erfindung im Hinblick auf die Phasenstörsignale bei einer hohen Offset-Frequenz zu demonstrieren, wird die Störsignalübertragungsfunktion (NTF) des Modulators beschrieben. Die NTF eines MASH-Modulators einer n -ten Ordnung, der weit verbreitet in den herkömmlichen Bruch-N-Frequenzsynthesizern verwendet wird, besitzt eine Hochpaßkennlinie, die ausgedrückt wird als $(1 - z^{-1})^n$.

[0041] Demgegenüber lautet diese Kennlinie der NTF eines Modulators gemäß der Erfindung gleich $(1 - z^{-1})^n/D(z)$, worin $D(z)$ das Polynom n -ter Ordnung von z^{-1} ist. Es wird gewöhnlich ein Butterworth-Polynom mit einer Eckfrequenz für eine stabile Konstruktion verwendet. Wenn zum Vergleich $n = 4$ ist, lautet die NTF eines herkömmlichen MASH-Modulators gleich $(1 - z^{-1})^4$, und die NTF eines Modulators gemäß der vorliegenden Erfindung lautet

$$(1 - z^{-1})^4/D(z).$$

[0042] Wenn eine Frequenz $1/2$ der Taktfrequenz eines Modulators ($z^{-1} = -1$) angenähert wird, so nähert sich entsprechend der vorliegenden Erfindung die Schleifenverstärkung 0, da die Frequenz über eine Eckfrequenz hinaus verlaufen ist. Somit werden die Quantisierungsstörsignale direkt ohne eine Filterung ausgegeben und die Störsignalübertragungsverstärkung beträgt 1. Andererseits kann bei einem herkömmlichen MASH-Verfahren in einfacher Weise anhand der NTF-Gleichung gezeigt werden, daß die Störsignalübertragungsverstärkung gleich 16 lautet. Wenn angenommen wird, daß die gleichen Quantisierungsstörsignale bei einem Modulator 4-ter Ordnung hervorgerufen werden, und zwar gemäß der vorliegenden Erfindung, und ein Modulator vom MASH-Typ 4-ter Ordnung verwendet wird, so be-

sitzt der Modulator der vorliegenden Erfindung eine Störsignalleistung, die um das 16-fache niedriger liegt als bei dem MASH-Modulator bei einer hohen Offset-Frequenz, so daß die Phasenstörsignale auf ein Sechzehntel reduziert werden, und zwar verglichen mit dem herkömmlichen MASH-Modulator, wenn der Modulator nach der vorliegenden Erfindung bei einer PLL angewendet wird.

[0043] Fig. 4 veranschaulicht das S/N (Störsignalabstand), gemessen an der Ausgangsgröße eines Modulators gemäß der vorliegenden Erfindung. Hierbei ist eine Eckfrequenz auf das 0,04-fache einer Vergleichsfrequenz eingestellt. Es kann bestätigt werden, daß sich die Störsignalleistung nicht merklich erhöht hat und nach dem Überstreichen einer Eckfrequenz konstant geblieben ist. Im Gegensatz dazu ergibt sich aus Fig. 10, bei der eine Frequenz kontinuierlich zunimmt, und zwar ohne eine Eckfrequenz in dem MASH-Modulator, in klarer Weise, daß der Modulator gemäß der vorliegenden Erfindung die Phasenstörsignale bei einer hohen Offset-Frequenz in vorteilhafter Weise reduziert.

[0044] Darüber hinaus realisiert der Modulator gemäß der vorliegenden Erfindung exakt 10 kHz Frequenzauflösung, wodurch die Frequenzfehler an den Terminals reduziert werden. Dies ist deshalb der Fall, da eine minimale Frequenzauflösung auf eine Vergleichsfrequenz geteilt durch $b1$ eingestellt ist. Wenn beispielsweise eine Vergleichsfrequenz bei 9,84 MHz liegt, so beträgt die minimale Frequenzauflösung gleich 10 kHz/64. Auch ist die Hardware des Modulators nach der vorliegenden Erfindung relativ einfach aufgebaut. Ein Zwischenstufen-Skalierungskoeffizient $a1$ kann so eingestellt werden, daß er der reziproken Größe eines Vielfachen von 2 entspricht, um die Verwendung eines Multiplizierers zu vermeiden und um den Modulator über lediglich einfache Bitverschiebeoperationen zu implementieren. Da der Modulator eine Konstruktion aufweist, welche es ermöglicht, eine Beschneidung der niedrigeren Bits vorzunehmen, was durch eine dynamische Bereichssimulation ermöglicht wird, kann die Hardware vereinfacht werden. Darüber hinaus besteht eine Rückkopplungskoeffizient $b1$ aus einer Konstanten, so daß der Modulator unter Verwendung eines einfachen Multiplexers implementiert werden kann, wodurch die Belastung der Hardware reduziert wird. Wie weiter oben beschrieben wurde, zeitigt der Modulator gemäß der vorliegenden Erfindung keinen signifikanten gegenteiligen Effekt hinsichtlich S/N (Störsignalabstand), ermöglicht eine Bitbeschneidung und erfordert keinen Multiplizierer und kann durch eine Addierstufe, ein Register und einen einfachen Multiplexer implementiert werden, wodurch die Hardware vereinfacht wird. Da ein Modulator hoher Ordnung verwendet wird, zeitigt die vorliegende Erfindung eine ausgezeichnete Leerlauf-Ton-Qualität. Daher benötigt ein Modulator gemäß der vorliegenden Erfindung keine LSB-Rasterung (dithering), die jedoch bei einem herkömmlichen MASH-Modulator erforderlich ist.

[0045] Fig. 5 zeigt das gemessene VCO-Ausgangsspektrum bei 1625,52 MHz ($N.f = 165.5$; $b1 = 62976$). Es wurde ein Experiment mit einer PLL-Schleife für eine 12 kHz Bandbreite durchgeführt, bei welchem Experiment ein externer 33 MHz/V VCO, ein passives LPF 3-ter Ordnung und eine PFD-Vergleichsfrequenz verwendet wurden. Das externe LPF besaß einen Null- und drei Pole mit zwei außerhalb des Bandes liegenden Polen. Die Bezugs- und Bruchstörsignale lagen bei weniger als -68 dBc.

[0046] Die gemessenen Einzelseitenband-(SSB)-Phasenstörsignale bei 1643,28 MHz ($N.f = 167,0$) sind in Fig. 6 gezeigt, und zwar mit einem Ganzzahl-N-Ergebnis zum Vergleich. Zur Durchführung eines fairen Vergleichs wurde das gleiche Teilungsverhältnis verwendet, wobei der Unter-

schied darin lag, ob der Modulator aktiv war oder nicht. Die im Band liegenden VCO-Phasenstörersignale sind die gleichen für sowohl ganzzahlige als auch Bruchoperationen und verlaufen relativ flach mit -84 dBc/Hz . Dies bedeutet, daß der Sigma-Delta-Modulator die im Band verlaufende Phasenstörersignalkennlinie des Synthesizers nicht beeinflusst. Phasenstörersignale bei $1,2 \text{ MHz}$ Offset liegen bei -139 dBc/Hz . Der Phasenstörersignalteppich von 200 MHz bis 800 MHz ergibt sich auf Grund der restlichen Sigma-Delta-Quantisierungsstörgrößen. Der Anstieg bei einer niedrigeren Frequenz um 1 kHz herum kann sich auf Grund der Störersignale des VCO ergeben.

[0047] Um es kurz auszudrücken, so besitzt ein Bruch-N-Frequenzsynthesizer nach der vorliegenden Erfindung die folgenden Vorteile. Erstens zeitigt die vorliegende Erfindung eine Dämpfungswirkung in bezug auf die Nichtlinearität der PLL in einem gegebenen Bereich des normalen Betriebes, der durch nicht große Störgrößen gekennzeichnet ist. Zweitens kann die vorliegende Erfindung die Phasenstörersignale um 10 dB oder noch mehr bei einer hohen Frequenz (außerhalb des Bandes) reduzieren. Demzufolge kann die vorliegende Erfindung in einfacher Weise die außerhalb des Bandes liegende Phasenstörersignalbedingung erfüllen, wie sie für CDMA 2000 vorgeschrieben wird. Drittens kann die Frequenzauflösung in einfacher Weise dadurch geändert werden, indem der Rückkopplungskoeffizient b_1 des Modulators eingestellt wird, was seinerseits durch geringfügige Änderung der Hardware erreicht werden kann. Wenn f_r/b_1 auf ein rationales Vielfaches von 10 kHz eingestellt wird, läßt sich eine Auflösung von 10 kHz in einfacher Weise erzielen. Viertens kann eine Bitoptimierung in der Hardware erzielt werden, wodurch der gesamte Hardwareaufwand oder Hardwaregröße reduziert werden kann. Da fünftens die vorliegende Erfindung eine zufriedenstellende Leerlauf-Todqualität bewirkt, wenn ein Modulator hoher Ordnung verwendet wird, ist eine getrennte LSB-Rasterschaltung (dithering circuit) nicht erforderlich, wodurch die Hardware vereinfacht wird. Indem sechstens ein Sigma-Delta-Modulator als ein Bruch-Teilungs-Kontroller verwendet wird, können Bruch-Störgrößen reduziert werden, wenn eine PLL-Schleife gebildet wird, und es wird eine Bezugs-Störgröße in vorteilhafter Weise unterdrückt.

[0048] In den Zeichnungen und in der Beschreibung sind typische bevorzugte Ausführungsformen der Erfindung offenbart und, obwohl spezifische Ausdrücke verwendet sind, sind sie gattungsmäßig und im beschreibenden Sinn ausschließlich zu verstehen, und sollen die Erfindung nicht einschränken. Für einen Fachmann ist es offensichtlich, daß vielfältige Änderungen in der Form und in Einzelheiten bei den beschriebenen Ausführungsformen vorgenommen werden können, ohne dadurch den Rahmen der Erfindung, wie er durch die anhängenden Ansprüche festgehalten ist, zu verlassen. Um lediglich ein Beispiel anzuführen, sei darauf hingewiesen, daß der Sigma-Delta-Modulator von Fig. 2 auf unterschiedliche Weisen konfiguriert werden kann, um gleiche oder um ähnliche Ergebnisse zu erhalten, wobei eine unterschiedliche Konfiguration die Konfiguration des Einzelbit-Sigma-Delta-Modulators 4-ter Ordnung ist, der in Fig. 3 gezeigt ist.

Patentansprüche

1. Bruch-N-Frequenzsynthesizer, mit:
einem spannungsgesteuerten Oszillator;
einem Dual-Modulus-Teiler, der eine Ausgangsfrequenz des spannungsgesteuerten Oszillators gemäß einer Bruch-Steuereingangsgroße teilt;
einem Phasenkomparator, der eine Phase einer Aus-

gangsgroße des Dual-Modulus-Teilers mit einer Phase einer Bezugsfrequenz vergleicht, wobei eine Ausgangsgroße des Phasenkomparators einen Eingang des spannungsgesteuerten Oszillators steuert;
einem Sigma-Delta-Modulator, der einen Einzelbit-Ausgang besitzt;
einem Bitkonverter, der die Einzelbit-Ausgangsgroße des Sigma-Delta-Modulators in die Bruch-Steuereingangsgroße umsetzt, die an den Dual-Modulus-Teiler angelegt wird.

2. Bruch-N-Frequenzsynthesizer nach Anspruch 1, bei dem der Dual-Modulus-Teiler folgendes aufweist:
einen Prescaler, der eine Ausgangsgroße des spannungsgesteuerten Oszillators empfängt;
eine Modulus-Steuerschaltung, die einen Betrieb des Prescalers steuert;
einen Hauptzähler und einen Swallow-Zähler, von denen jeder Eingänge besitzt, die an einen Ausgang des Prescalers gekoppelt sind und von denen jeder einen programmierten Eingangsanschluß besitzt, der die Bruch-Steuereingangsgroße von dem Bitkonverter empfängt, und von denen jeder Ausgänge besitzt, die an einen Eingang der Modulus-Steuerschaltung gekoppelt sind.

3. Bruch-N-Frequenzsynthesizer nach Anspruch 1, bei dem der Sigma-Delta-Modulator folgendes aufweist:
(a) eine in Kaskade geschaltete Akkumulatorschaltung, die n Akkumulatorstufen enthält, wobei n eine ganze Zahl von wenigstens 2 ist, und (b) eine Quantisierschaltung, die eine Ausgangsgroße der Kaskaden-Akkumulatorschaltung quantisiert, um die Einzelbit-Ausgangsgroße des Sigma-Delta-Modulators zu erzeugen; wobei eine Ausgangsgroße des Quantisierers zu jeder der n Akkumulatorstufen rückgekoppelt ist und wobei eine Störsignalübertragungsfunktion $H(z)$ des Sigma-Delta-Modulators wie folgt lautet:

$$H(z) = (1 - z^{-1})^n / (1 + p_1 z^{-1} + p_2 z^{-2} + \dots + p_n z^{-n})$$

worin $p_1 \dots p_n$ reale Zahlenkoeffizienten sind.

4. Bruch-N-Frequenzsynthesizer nach Anspruch 3, bei dem $n \leq 2$ ist.

5. Bruch-N-Frequenzsynthesizerschaltung nach Anspruch 1, bei der der Sigma-Delta-Modulator folgendes aufweist:

eine in Kaskade geschaltete Akkumulatorschaltung, die n Akkumulatorstufen enthält, wobei n eine ganze Zahl von wenigstens 2 ist und wobei jede der n Akkumulatorstufen folgendes aufweist: (a) eine Koeffizientengeneratorschaltung, die selektiv einen Koeffizienten b_n ausgibt, (b) eine Addierstufe mit einem ersten Eingang, der mit einem Eingang oder mit einem Ausgang einer früheren oder vorhergehenden Akkumulatorstufe verbunden ist, und mit einem zweiten Eingang, der den Koeffizientenwert b_n von der Koeffizientengeneratorschaltung empfängt, und (c) einen Akkumulator, der eine Ausgangsgroße der Addierstufe empfängt, eine Quantisierschaltung, die eine Ausgangsgroße von wenigstens einer der n Akkumulatorstufen quantisiert, wobei die Ausgangsgroße des Quantisierers aus einem Einzelbit-Ausgang besteht und wobei die Ausgangsgroße des Quantisierers rückgekoppelt wird, um die Koeffizientengeneratorschaltung von jeder der n Akkumulatorstufen zu steuern.

6. Bruch-N-Frequenzsynthesizer nach Anspruch 5, bei dem eine Störsignalübertragungsfunktion $H(z)$ des Sigma-Delta-Modulators wie folgt lautet:

$$H(z) = (1 - Z^{-1})^n / (1 + p_1 Z^{-1} + p_2 Z^{-2} \dots + p_n Z^{-n})$$

worin $p_1 \dots p_n$ reale Zahlenkoeffizienten sind.

7. Bruch-N-Frequenzsynthesizer nach Anspruch 6, bei dem $n \leq 2$ ist.

8. Bruch-N-Frequenzsynthesizer nach Anspruch 6, ferner mit Zwischenstufen-Koeffizienten-Wichtungsschaltungen, die selektiv Wichtungskoeffizienten $a_{(n+1)} \dots a_n$ zwischen aufeinanderfolgenden Akkumulatorstufen der in Kaskade geschalteten Akkumulatorschaltung jeweils zuführen.

9. Bruch-N-Frequenzsynthesizer, mit:
einem spannungsgesteuerten Oszillator;
einem Dual-Modulus-Teiler, der eine Ausgangsfrequenz des spannungsgesteuerten Oszillators gemäß einer Bruch-Steuereingangsgroße teilt;
einem Phasenkomparator, der eine Phase einer Ausgangsgroße des Dual-Modulus-Teilers mit einer Phase einer Bezugsfrequenz vergleicht, wobei eine Ausgangsgroße des Phasenkomparators an einen Steuereingang des spannungsgesteuerten Oszillators gekoppelt ist;

einem Sigma-Delta-Modulator, der einen Einzelbit-Ausgang besitzt und der folgendes aufweist: (a) eine Kaskaden-Akkumulatorschaltung, die n Akkumulatorstufen enthält, wobei n eine ganze Zahl von wenigstens 2 ist, und (b) eine Quantisierschaltung, die eine Ausgangsgroße der Kaskaden-Akkumulatorschaltung quantisiert, um den Einzelbit-Ausgang zu generieren; wobei eine Ausgangsgroße des Quantisierers zu jeder der n Akkumulatorstufen rückgekoppelt ist und wobei eine Störsignalübertragungsfunktion $H(z)$ des Sigma-Delta-Modulators wie folgt lautet:

$$H(z) = (1 - Z^{-1})^n / (1 + p_1 Z^{-1} + p_2 Z^{-2} \dots + p_n Z^{-n})$$

worin $p_1 \dots p_n$ reale Zahlenkoeffizienten sind.

10. Bruch-N-Frequenzsynthesizer nach Anspruch 9, bei dem der Dual-Modulus-Teiler folgendes aufweist: einen Prescaler, der eine Ausgangsgroße des spannungsgesteuerten Oszillators empfängt;

eine Modulus-Steuerschaltung, die einen Betrieb des Prescalers steuert;
einen Hauptzähler und einen Swallow-Zähler, von denen jeder einen Eingang besitzt, der mit einem Ausgang des Prescalers gekoppelt ist und von denen jeder einen programmierten Eingangsanschluß besitzt, der die Bruch-Steuereingangsgroße von dem Bitkonverter empfängt, und von denen jeder Ausgang besitzt, die an einen Eingang der Modulus-Steuerschaltung gekoppelt sind.

11. Bruch-N-Frequenzsynthesizer nach Anspruch 9, bei dem jede der Akkumulatorstufen eine Addierstufe und einen Akkumulator enthält, und bei dem der Ausgang des Quantisierers mit einem Eingang der Addierstufe von jeder Akkumulatorstufe verbunden ist.

12. Bruch-N-Frequenzsynthesizer nach Anspruch 11, bei dem $n \leq 2$ ist.

13. Bruch-N-Frequenzsynthesizer, mit:
einem spannungsgesteuerten Oszillator;
einem Dual-Modulus-Teiler, der eine Ausgangsfrequenz des spannungsgesteuerten Oszillators gemäß einer Bruch-Steuereingangsgroße teilt;
einem Phasenkomparator, der eine Phase einer Ausgangsgroße des Dual-Modulus-Teilers mit einer Phase einer Bezugsfrequenz vergleicht, wobei ein Ausgang des Phasenkomparators an einen Steuereingang des spannungsgesteuerten Oszillators gekoppelt ist;

einem Sigma-Delta-Modulator, der einen Einzelbit-Ausgang besitzt und der folgendes aufweist:

(a) eine in Kaskade geschaltete Akkumulatorschaltung, die n Akkumulatorstufen enthält, wobei n eine ganze Zahl von wenigstens 2 ist, und wobei jede der n Akkumulatorstufen folgendes aufweist: (a) eine Koeffizientengeneratorschaltung, die selektiv einen Koeffizienten b_n ausgibt, (b) eine Addierstufe mit einem ersten Eingang, der mit einem Eingang oder mit einem Ausgang einer früheren Akkumulatorstufe verbunden ist, und mit einem zweiten Eingang, der den Koeffizientenwert b_n von der Koeffizientengeneratorschaltung empfängt, und (c) einen Akkumulator, der eine Ausgangsgroße der Addierstufe empfängt, und (b) eine Quantisierschaltung, die eine Ausgangsgroße von wenigstens einer der n Akkumulatorstufen quantisiert, um eine Einzelbit-Ausgangsgroße zu generieren, wobei die Ausgangsgroße des Quantisierers rückgekoppelt wird, um die Koeffizientengeneratorschaltung von jeder der n Akkumulatorstufen zu steuern.

14. Bruch-N-Frequenzsynthesizer nach Anspruch 1, bei dem der Dual-Modulus-Teiler folgendes aufweist: einen Prescaler, der eine Ausgangsgroße des spannungsgesteuerten Oszillators empfängt;

eine Modulus-Steuerschaltung, die einen Betrieb des Prescalers steuert;

einen Hauptzähler und einen Swallow-Zähler, von denen jeder einen Eingang besitzt, der an einen Ausgang des Prescalers gekoppelt ist, und von denen jeder einen programmierten Eingangsanschluß besitzt, der die Bruch-Steuereingangsgroße von dem Bitkonverter empfängt und von denen jeder einen Ausgang besitzt, der an einen Eingang der Modulus-Steuerschaltung gekoppelt ist.

15. Bruch-N-Frequenzsynthesizer nach Anspruch 13, bei dem eine Störsignalübertragungsfunktion $H(z)$ des Sigma-Delta-Modulators wie folgt lautet:

$$H(z) = (1 - Z^{-1})^n / (1 + p_1 Z^{-1} + p_2 Z^{-2} \dots + p_n Z^{-n})$$

worin $p_1 \dots p_n$ reale Zahlenkoeffizienten sind.

16. Bruch-N-Frequenzsynthesizer nach Anspruch 15, bei dem $n \leq 2$ ist.

17. Bruch-N-Frequenzsynthesizer nach Anspruch 11, ferner mit Zwischenstufen-Koeffizienten-Wichtungsschaltungen, die selektiv Wichtungskoeffizienten $a_{(n+1)} \dots a_n$ zwischen aufeinanderfolgenden Akkumulatorstufen der in Kaskade geschalteten Akkumulatorschaltung jeweils zuführen.

18. Sigma-Delta-Modulator, mit:

einer Kaskaden-Akkumulatorschaltung, die n Akkumulatorstufen enthält, wobei n eine ganze Zahl von wenigstens 2 ist; und

einer Quantisierschaltung, die eine Ausgangsgroße der Kaskaden-Akkumulatorschaltung quantisiert; wobei eine Ausgangsgroße des Quantisierers zu jeder der n Akkumulatorstufen rückgekoppelt wird; und wobei eine Störsignalübertragungsfunktion $H(z)$ des Sigma-Delta-Modulators wie folgt lautet:

$$H(z) = (1 - Z^{-1})^n / (1 + p_1 Z^{-1} + p_2 Z^{-2} \dots + p_n Z^{-n})$$

worin $p_1 \dots p_n$ reale Zahlenkoeffizienten sind.

19. Sigma-Delta-Modulator nach Anspruch 18, bei dem jede der Akkumulatorstufen eine Addierstufe und einen Akkumulator enthält und bei dem der Ausgang

des Quantisierers mit einem Eingang der Addierstufe von jeder Akkumulatorstufe verbunden ist.

20. Sigma-Delta-Modulator nach Anspruch 19, bei dem $n \leq 2$ ist.

21. Sigma-Delta-Modulator nach Anspruch 18, bei dem der Quantisierer einen Einzelbit-Ausgang besitzt.

22. Sigma-Delta-Modulator, mit:
einer in Kaskade geschalteten Akkumulatorschaltung, die n Akkumulatorstufen enthält, wobei n eine ganze Zahl von wenigstens 2 ist, und bei der jede der n Akkumulatorstufen folgendes aufweist: (a) eine Koeffizientengeneratorschaltung, die selektiv einen Koeffizienten b_n ausgibt, (b) eine Addierstufe mit einem ersten Eingang, der mit einem Eingang oder mit einem Ausgang einer früheren Akkumulatorstufe verbunden ist, und mit einem zweiten Eingang, der den Koeffizientenwert b_n von der Koeffizientengeneratorschaltung empfängt, und (c) einen Akkumulator, der eine Ausgangsgröße der Addierstufe empfängt, einer Quantisiererschaltung, die eine Ausgangsgröße von wenigstens einer der n Akkumulatorstufen quantisiert, wobei die Ausgangsgröße des Quantisierers aus einem Einzelbit-Ausgang besteht und wobei die Ausgangsgröße des Quantisierers rückgekoppelt wird, um die Koeffizientengeneratorschaltung von jeder der n Akkumulatorstufen zu steuern.

23. Sigma-Delta-Modulator nach Anspruch 22, bei dem eine Störsignalübertragungsfunktion $H(z)$ des Sigma-Delta-Modulators wie folgt lautet:

$$H(z) = (1 - Z^{-1})^n / (1 + p_1 Z^{-1} + p_2 Z^{-2} \dots + p_n Z^{-n})$$

worin $p_1 \dots p_n$ reale Koeffizienten sind.

24. Sigma-Delta-Modulator nach Anspruch 23, bei dem $n \leq 2$ ist.

25. Sigma-Delta-Modulator nach Anspruch 23, ferner mit Zwischenstufen-Koeffizientengeneratorschaltungen, die selektiv Koeffizienten $a_{(n+1)} \dots a_n$ erzeugen und die zwischen aufeinanderfolgenden Akkumulatorstufen der in Kaskade geschalteten Akkumulatorschaltung jeweils zwischengeschaltet sind.

Hierzu 9 Seite(n) Zeichnungen

- Leerseite -

FIG. 1

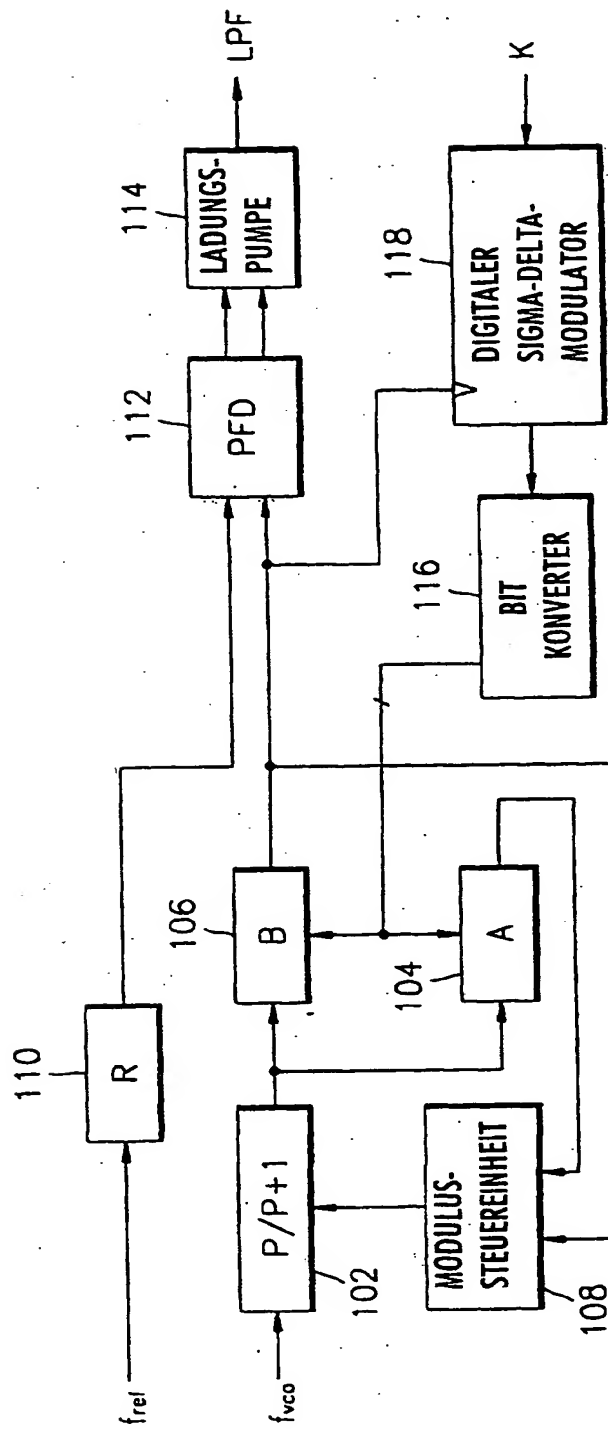
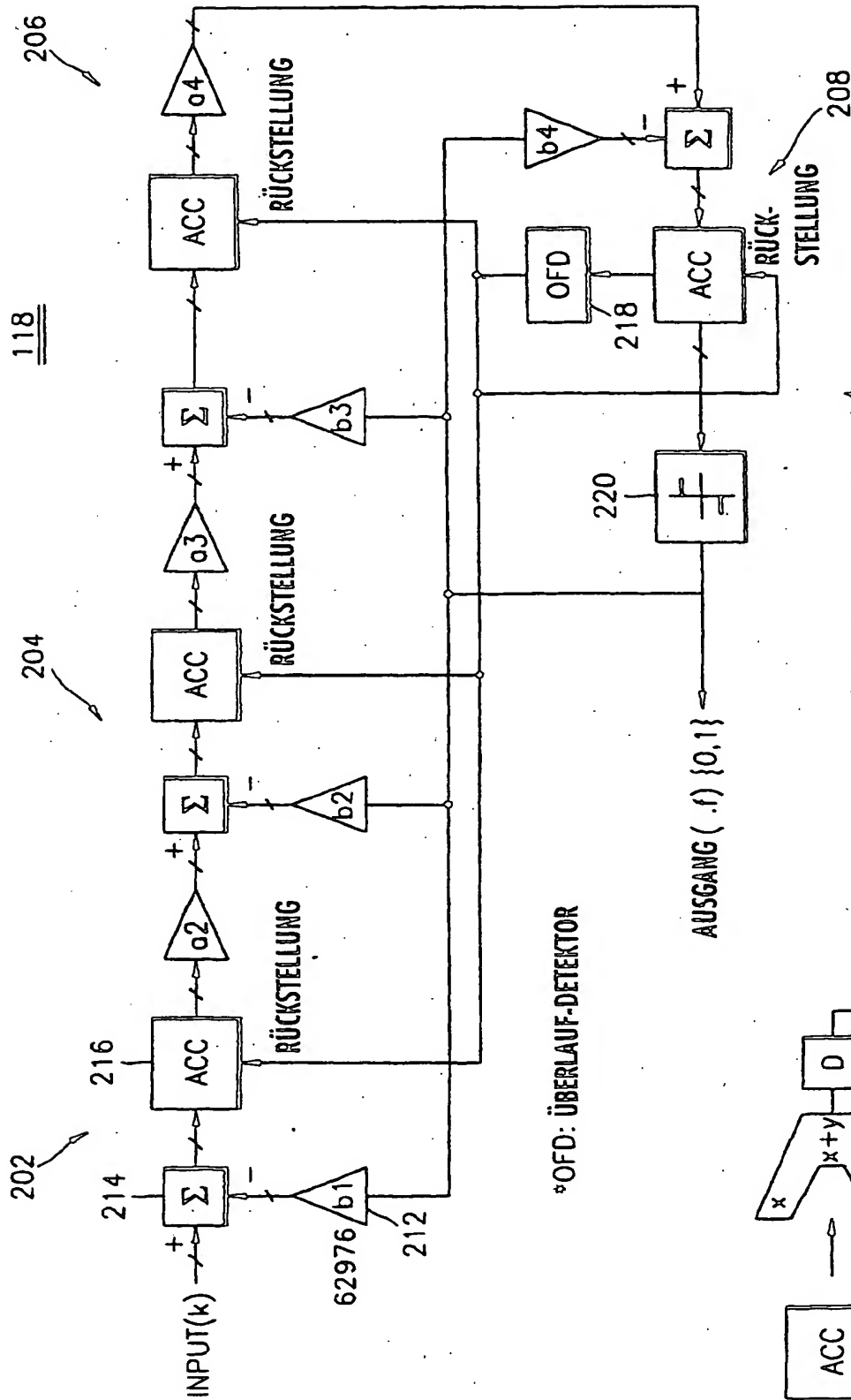


FIG. 2



$$H_n(Z) = \frac{(1-Z^{-1})^4}{D(Z)} = \frac{(1-Z^{-1})^4}{1+P_1Z^{-1}+P_2Z^{-2}+P_3Z^{-3}+P_4Z^{-4}}$$

FIG. 3

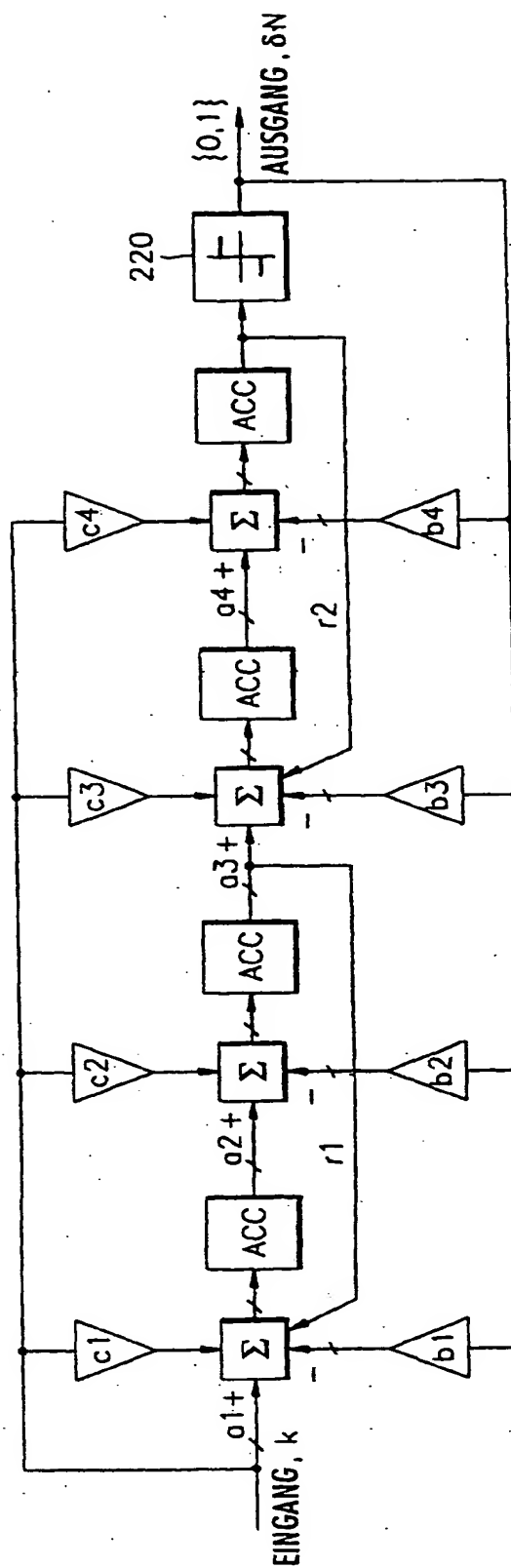


FIG. 4

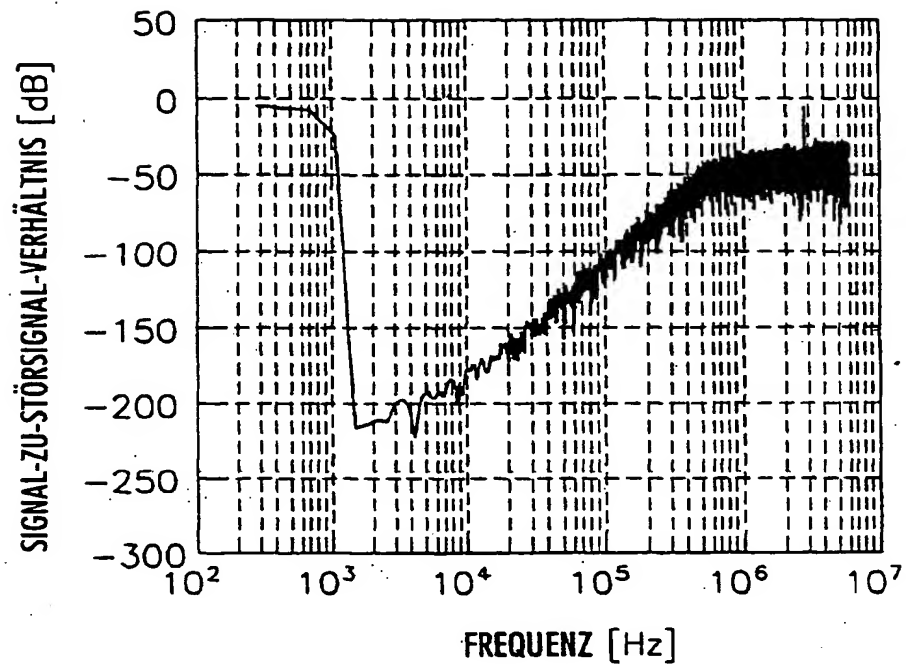


FIG. 5

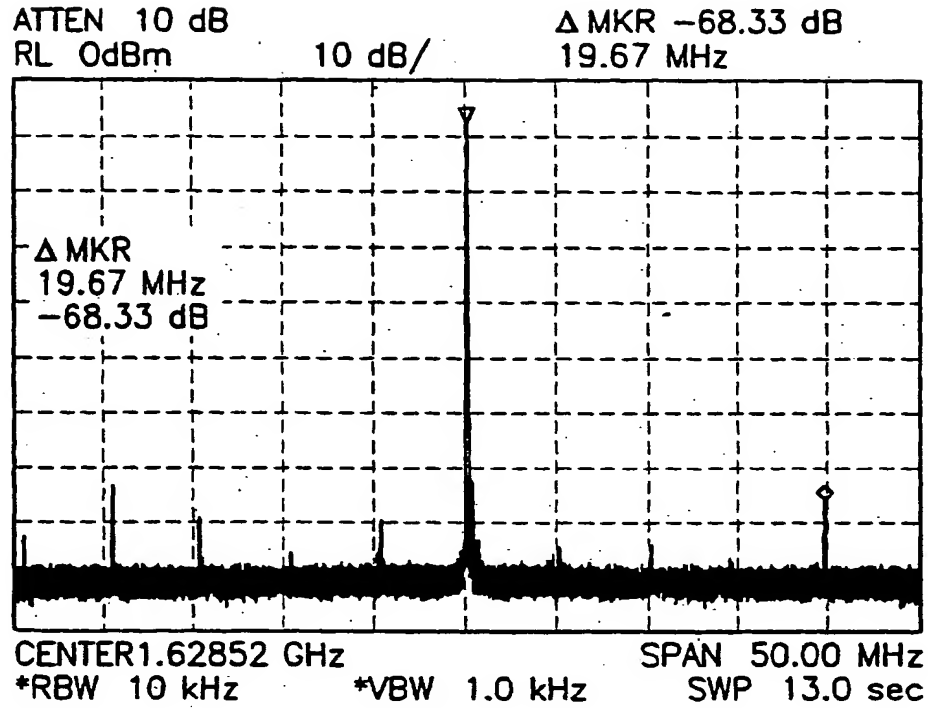


FIG. 6

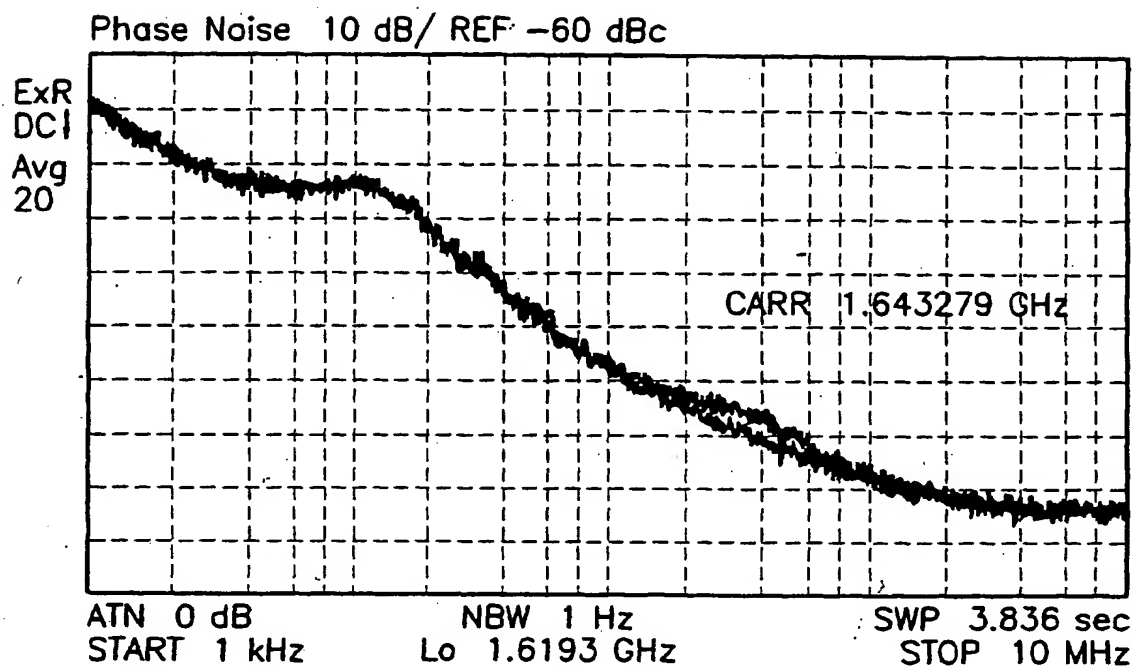


FIG. 7 (STAND DER TECHNIK)

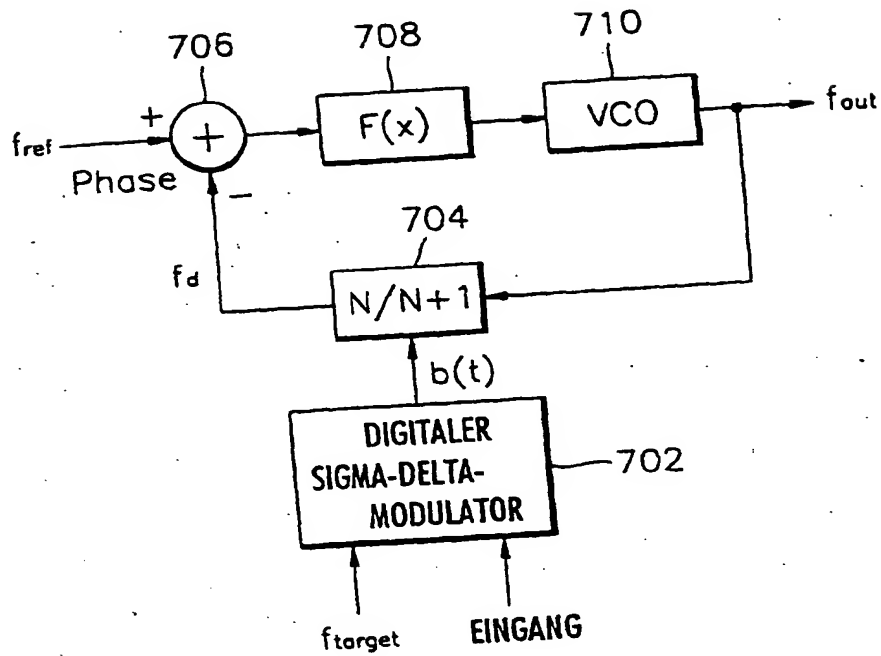


FIG. 8

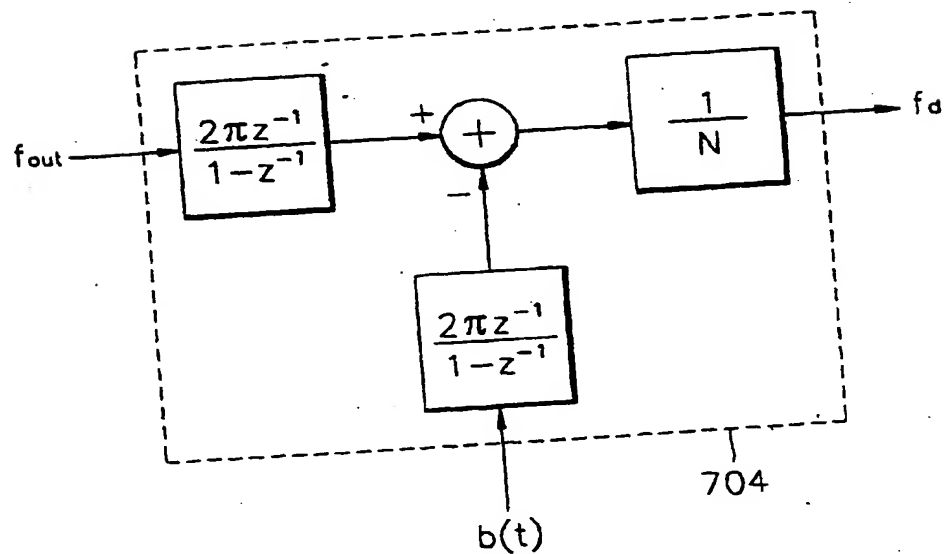


FIG. 9 (STAND DER TECHNIK)

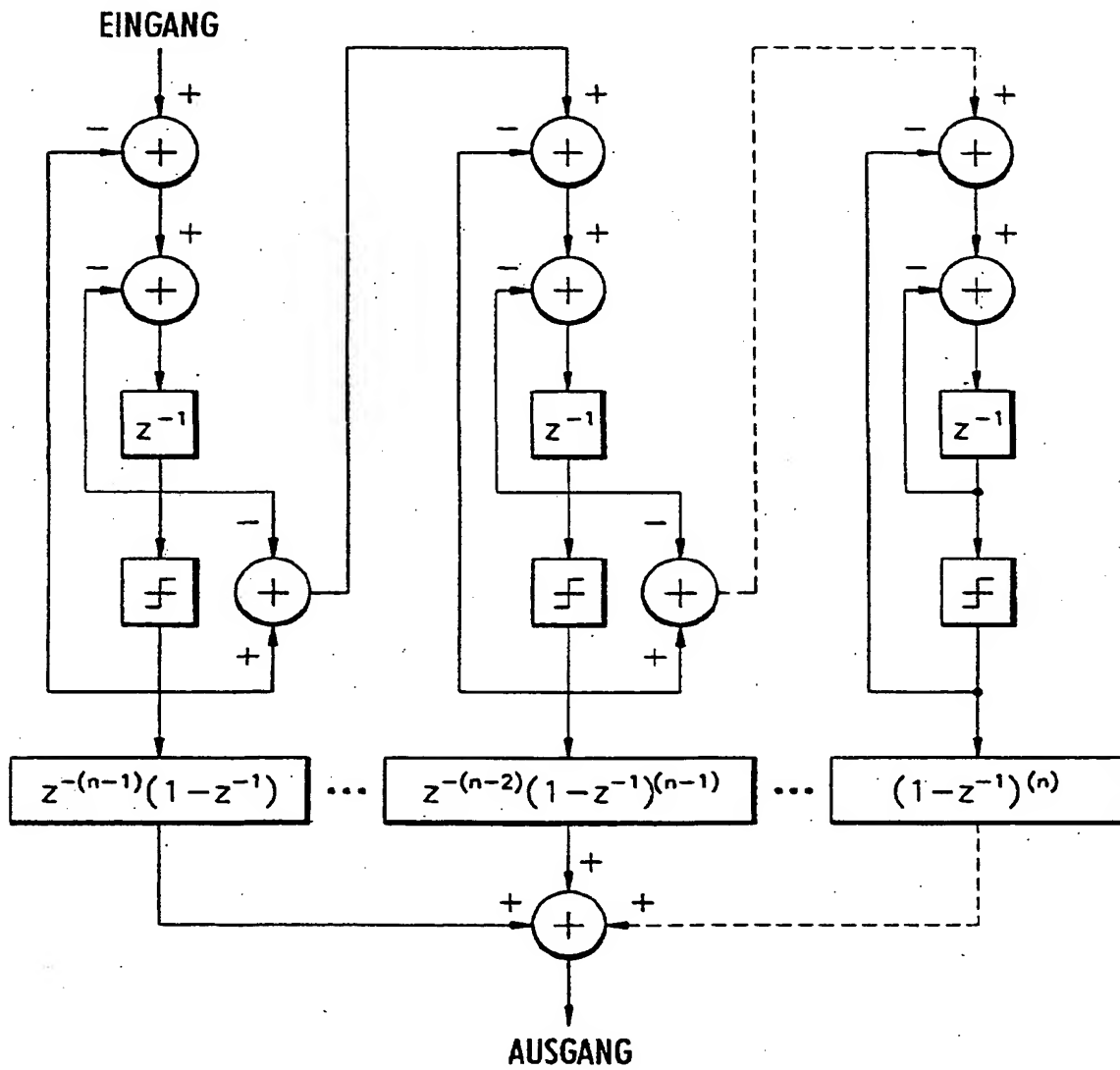


FIG. 10 (STAND DER TECHNIK)

